

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-159571

⑬ Int.Cl.⁴
H 04 N 1/40

識別記号 庁内整理番号
C-7136-5C

⑭ 公開 昭和62年(1987)7月15日

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 擬似ハーフトーン画像を生成する方法と装置

⑯ 特 願 昭61-301831

⑰ 出 願 昭61(1986)12月19日

優先権主張 ⑱ 1985年12月20日 ⑲ 西ドイツ(DE) ⑳ P3545156.4

㉑ 発 明 者 ベルンド・エーレルス ドイツ連邦共和国 220 エルムスホーン フアルケンベーク 5

㉒ 発 明 者 ゲルハルト・レネルト ドイツ連邦共和国 2000 ハンブルク 24 ヴイービツシェンカンブ 41

㉓ 発 明 者 ウルフ・ロスゴルド ドイツ連邦共和国 2000 ノルデル ステット バルクコツベル 33

㉔ 出 願 人 エヌ・ベー・フィリツプス・フルーイランベンフアブリケン オランダ国 5621 ベーアー アインドーフエン フルーネヴァウツウエツハ 1

㉕ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 擬似ハーフトーン画像を生成する方法と装置

2. 特許請求の範囲

1. 原画像を走査し、かつ一組の少なくとも部分的に異なったしきい値に対して、所定の位置の所定の数の隣接画素より常に1フィールドの画素の走査信号を比較することからオーダーダイザ法に従ってその2進画素値が復元されている画素より擬似ハーフトーン画像を生成する方法であって、フィールドの各画素はそれにしきい値の組からそれ自身のしきい値を割当て、かつ隣接フィールドが何の間隙も無くお互に隣接するものにおいて、

走査された画像の画素から組立てられたフィールドは、基本的に各画像ラインおよび画像コラムにおいて同数の異なったラインとフィールドのコラムが利用可能なように、画像ラインと画像コラム方向にお互にシフトされていることを特徴とする方法。

2. 隣接フィールドがラインあるいはコラムを通してお互に常にシフトされていることを特徴とする、特許請求の範囲第1項に記載の方法。

3. ア. 原画像を走査し、かつ一組の少なくとも部分的に異なったしきい値に対して、所定の位置の数の隣接画素より常に1フィールドの画素の走査信号を比較することからオーダーダイザ法に従ってその2進画素値が復元されている画素より擬似ハーフトーン画像を生成する方法であって、フィールドの各画素はそれにしきい値の組からそれ自身のしきい値を割当て、かつ隣接フィールドが何の間隙も無くお互に隣接するものにおいて、

走査された画像の画素から組立てられたフィールドは、基本的に各画像ラインおよび画像コラムにおいて同数の異なったラインとフィールドのコラムが利用可能なように、画像ラインと画像コラム方向にお互にシフトされていることを特徴とする方法、あるいは

イ、隣接フィールドがラインあるいはコラムを通してお互に常にシフトされていることを特徴とするア項に記載の方法のいずれかを実行する装置であって、連続する画素の走査信号としきい値信号が印加され、これらはアドレスング装置によってアドレスされたしきい値メモリ中に蓄積され、走査信号の値が同時に印加されたしきい値を越える場合に、この比較器が1つの値を有する2進出力信号を生成するものにおいて、

アドレスング装置(36)は走査信号の印加と同期している計数クロックを受信するカウンタを含み、かつしきい値メモリ(34)中のすべてのしきい値を次々とアドレスしかつ読出し、かつ新しい各画像ラインの始まりでしきい値メモリ(34)を新しいアドレスでアドレスすることを特徴とする装置。

4. 新しい各ラインで生起するラインクロックがカウンタ(40)を、ラインカウンタ(44)によってアドレスされるスターティングメモリ(4

2)によって読取られるスターティングアドレスに設定し、このラインカウンタはラインクロックによって増大されていることを特徴とする、特許請求の範囲第3項に記載の装置。

5. スターティングメモリがラインカウンタ(40)それ自身であり、そのカウンタ出力(41)は変化した意味を持つカウンタに対する同時スターティングアドレスを供給することを特徴とする、特許請求の範囲第4項に記載の装置。

3. 発明の詳細な説明

本発明は、原画像を走査し、かつ一組の少なくとも部分的に異なったしきい値に対して、所定の位置の所定の数の隣接画素より常に1フィールドの画素の走査信号を比較することからオーダードダイザ法に従ってその2進画素値が復元されている画素より擬似ハーフトーン画像を生成する方法であって、フィールドの各画素はそれにしきい値の組からそれ自身のしきい値を割当て、かつ隣接フィールドは何の間隔も無くお互に隣接するもの

に関連し、またこの方法を実行する回路装置にも関連している。

オーダードダイザ(Ordered Dither)法は、例えば、「ベル システム テクニカル ジャーナル」(Bell System Tech. Journal)第48号、1969年、第2555～2582頁に記載されており、マトリクスプリンタあるいは寸法と強度が等しい画素だけを表示できるスクリーン表示装置を用いて、良好なハーフトーン印象を与える擬似ハーフトーン画像を記録するのに使用されている。この既知の方法を第1図を参照して詳細に説明する。こゝで画像セクション20は4×4画素の寸法を有する走査されたハーフトーン画像の一部を示し、これらの画素に示されている数は関連する画素の明るさの値または灰色の値を示している。その値が高いほど画素が暗いことを意味している。従って、この画像セクション20では左下隅から右上隅に向う対角線上でとられた画素が次第に暗くなってゆくことが分る。これから2進擬似ハーフトーン画像を生成するためには、画素から組立てられた画像セ

クション20はしきい値マトリクス21と比較される。画素の明るさの値または灰色の値がマトリクス21の対応する画素位置に示されたしきい値を越えるとドットが記録される。こうして得られた2進画素が画像セクション22に示されている。実際には、画像セクション20または22は小さく、擬似ハーフトーン画像では正規の視距離から観察した時に個々の画素が混り合って、灰色の印象が得られる。これは各画像セクション22内の黒い画素の数に依存している。

前の刊行物に記載されているオーダードダイザ法により得られた2進擬似ハーフトーン画像は今度は転送または記憶される。同じ分解能を有する装置によってこの再生が行なわれる。すなわち、画像寸法を保つことが必要な場合は、mm当り同数の画素が再生される。

分解能が異なる装置でこのような転送または記憶されている画像を再生したい場合、すなわち、画像寸法を同じに保ったままmm当りの画素の数を異ならせたい場合、分解能を高くするには画素を

増し、分解能を下げるには画素を減らさなければならぬ。これを行なうと、均一に間隔をとられていた画像ラインおよび画像コラムが、分解能を高めたいかあるいは低めたいかに依存して、抑圧されるかあるいは重複され、不完全な光学的印象が、少なくとも分解能の変化の所与の比率および所与の寸法またはマトリクス21でのしきい値の配列で与えられる。さらに特定すると、画像ラインとコラムが省略されると、対応するハーフトーンを失なうそれらのラインとコラムが常に含まれるようになる。加えて、いくつかのフレームを重ね合わせて分解能を変え、構造が著しく粗くなる。

従って、本発明は擬似ハーフトーン画像が生成できる冒頭のパラグラフで規定されたタイプの方法を与えることを目的とし、こゝではハーフトーンの平均分布を変化することなく、擬似ハーフトーン画像のラインとコラムが省略あるいは重複でき、そして得られた新しい擬似ハーフトーンはその光学的印象について以前に利用可能な擬似ハーフ

フトーン画像から実質的に異なっている。

本発明によると、走査された画像の画素から組立てられたフィールドが画像ラインおよび画像コラムの方向にお互にシフトされ、基本的には各画像ラインおよび画像コラムにおいてフィールドの同数の異なったラインとコラムが利用可能になる。

本発明は次の認識に基いている。すなわち、画像のラインから組立てられたフィールドあるいはしきい値の組におけるしきい値の形状は必ずしも矩形あるいは正方形である必要はなく、あるいは走査信号の大きさが最大しきい値に特に適応されるように、所与のフレーム上の異なったしきい値の数が自由に選択可能でなくてはならぬと言う認識である。特に実際の慣例では、走査信号が n ビットの2進数の形デジタル値として利用可能なら、表現できる最高のしきい値が走査信号によって越えられぬと言う理由によって、 $2^n - 1$ のしきい値あるいはその倍数が必要とされ、従って走査信号とは関係なく比較の間中、常に同じ2進値が現われ、かつこの値は画像についてのどんな情報も

表現していない。しかし、このことは正方形フィールドと多くの矩形フィールドもまた理想的に適應されぬことを意味している。非正方形であり、かつ隣接フィールドに対し等距離に配列された正方形ラスタを使用することが実際に知られており、これは「ハーフトーン画像のデジタル再生における走査の知覚の研究(Untersuchungen der Wahrnehmbbarkeit von Rasterungen bei digitaler Wiedergabe von Halbtönen)」と題するクラウス・コッホ(Klaus Koch)の1928年5月28日ミュンヘン工業大学(TU München)の学位論文、あるいはまた6角ラスタのフィールドの使用について述べている西ドイツ特許公報第29 43 018号に開示されているが、これは記録された要素のスタガー配列を必要としている。

種々の形のフィールドが可能であり、これは基本的にフィールド中の同じ数の異なったラインを有する各ラインの要件を満足し、これはまたコラムについても適用される。さらに特定すると、正方形から導かれているフィールドが使用でき、こ

ゝでフィールドが間隔無しにつなぎ合わされ、従って画像の各画素がフィールド中に位置される限りでは、若干の画素は一隅で失なわれる。特別に簡単な形は、本発明の方法の実施態様に従って、隣接フィールドが1ラインあるいは1コラムを通してお互に常にシフトされていることを特徴としている。そのようなフィールドは矩形あるいは正方形をしており、そこで画素は一隅で失なわれている。唯一の異なったしきい値がしきい値の組で利用可能であり、値の数は完全に正方形の場合より1だけ少ない。

本発明による方法を実行する装置は、連続する画素の走査信号およびしきい値信号が印加され、それらがアドレッシング装置によってアドレスされてしきい値メモリ中に蓄積される比較器を含み、その比較器は走査信号の値が同時に印加されたしきい値を越える場合に、1つの値の2進出力信号を生成するものにおいて、アドレッシング装置は走査信号の印加と同期している計数クロックが印加されているカウンタを含み、かつしきい値メモリ

中のすべてのしきい値を次々とアドレスしかつ読出し、かつ新しい各画像ラインの始まりでしきい値メモリを新しいアドレスでアドレスすることを特徴としている。従前の技術では、フィールドはライン方向とコラム方向でお互に隣合わせかつお互に下に配列されているから、ライン内では1ラインのしきい値のみが常に読取られる。しかし、フィールドはお互にシフトされていると言う事実により、すべてのしきい値は画像ライン内でシーケンシャルに読取られ、これは今後詳細に説明されよう。

新しい各画像のラインの始まりでしきい値メモリを常に新しいアドレスでアドレッシングを始めることに對し、新しい各ラインにおいて生起するラインクロックで、スターティングアドレスメモリから読取られたスターティングアドレスにカウンタを設定するのが適当であり、これはラインクロックによって増大されるラインカウンタによってアドレスされている。スターティングアドレスメモリを使用するという理由で、お互に對するフ

ールドのシフトは考慮に入れることができる。

2の整数べきに等しい長さの側面を有する正方形から得られたフィールドに對し、スターティングアドレスメモリはラインカウンタそれ自身であることは特に適切であり、そのカウンタ出力は反転された意味でカウンタに瞬時スターティングアドレスを供給する。かくして別々のスターティングアドレスメモリは省略できる。

次に実施例を挙げて図面につき本発明を詳細に説明する。

第2図では、15個の異なるしきい値の組に對する15個の画素を有するフィールドが使用されているが、これは、例えば、第1図のマトリクス21の形で配置できる。右下隅の最高のしきい値だけは省略してある。この状態で走査信号の16個の異なる値を微分でき、これは走査信号をデジタル化し、4ビット2進数の形で表わした場合に得られる。実際には、これは通常の値である。しかし、第2図に示したフィールドの数は、しきい値自体を表わさず、下記の説明を明確にするために、各フ

ールド内の画素のナンバリングのモードを示している。

第2図では、例えば、フィールド29がその左上隅によりフィールド26の欠損部に突出するようにお互に配置されている。この結果、フィールド27はフィールド26に對し1ライン分上方にシフトさせられ、そしてフィールド28はフィールド26に對し1コラム分左へシフトさせられる。同じようなことが他のフィールド全てにつき成立する。

第2図において、画像ラインの順次番号がボックス24に示されている。これに加えて、画像の最初のラインが4個のフィールドにわたってボックス25によって目立って示されている。明らかにこのラインではフィールドの全ての画素部が存在し、すなわち、しきい値の組の全しきい値がボックス25で考慮に入れられている。これに加えて、明らかに、この例では、ラインシーケンシャルしきい値が同時にボックス25で活性化される。このしきい値のシーケンスは画像ラインで巡回的に繰返される。さて、分解能を変える目的で、例えば一

ラインが省略されると、明らかに2個の隣接する画像ラインで全てのしきい値が連続的に考慮に入れられ、従って画像ラインの省略は、若干の詳細さが失なわれることを別として、ほとんど光学的印象のすべてに変化を生じない。これは分解能が減少される場合に不可避である。分解能を上げる目的で、1ラインが2重化されると、全てのしきい値が2重ラインで同じように同時に考察される。これはコラム方向についても同程度に成立する。こうして、画像の分解能は画像ラインを省略あるいは追加することにより容易に変えられる。

これらの特性を有する擬似ハーフトーン画像を生成するためには、記載した例では、第1画素の走査信号は、例えばアドレスゼロにあるしきい値メモリに記憶された第1しきい値と比較される。引続いて走査された画素値がアドレス1のしきい値と比較される等々である。複数個のしきい値を含むしきい値メモリはこの結果、巡回的かつシーケンシャルに次々と全ての記憶位置でアドレスされる。次の画像ラインに對しては、すなわち、画

像ライン1に対しては、第2図に示すように、この操作のシーケンスが繰り返されるが、アドレス4でスタートする。それに対応して、ライン2はアドレス8でスタートする等々である。この結果、個々のアドレスは巡回的に繰り返されるシーケンスであるが、新しい各画像ラインに対して、異なるスターティングアドレスでスタートするようにしきい値メモリはアドレスされなければならない。

このようなアドレッシングシーケンスを実行する装置をブロック回路で第3図に示す。この装置は、入力31を介してデジタイズされた走査信号と、入力35を介してしきい値が印加される2進比較器32を含んでいる。もし走査信号がしきい値を越える場合には、出力33に2進擬似ハーフトーン画像の黒画素に対応する信号が生成され、これは高い値を有する走査信号が走査された暗い画素に対応することを仮定している。接続35を介して比較器32に印加されたしきい値はしきい値メモリ34からのデジタル値として読み出され、これ(しきい値メモリ34)は接続37を介してアドレッシング装置36に

よりアドレスされる。

アドレッシング装置36は入力39を介して画素と同期した計数クロック信号を受信するカウンタ40を含んでいる。しきい値メモリ34をアドレッシングする接続37はカウンタ40の計数ステージの出力を含んでいる。この結果、しきい値メモリ34の全てのアドレスは巡回的かつシーケンシャルに制御され、関連するしきい値が接続35を介して供給される。

カウンタ40が接続37上の正しいアドレスで新しい各画像ラインの開始時にスタートできるようにするために、ライン41上で新しい各画像ラインの開始時点で生ずるラインクロック信号は接続43を介してスターティングアドレスメモリ42から供給される適当なスターティングアドレスにロードされる。このスターティングアドレスメモリ42は接続45を介してラインカウンタ44によりアドレスされ、ラインカウンタ44には特にその計数入力にライン41上のラインクロック信号もまた印加される。従って、新しい各画像ラインにおいてこのカウンタは1位置だけ増大され、その結果、スター

ティングアドレスメモリ42から対応するスターティングアドレスが読出される。第1ラインにおいて、所定のスターティングアドレスでスタートするために、カウンタ44はライン47上の信号により所定のスターティング値にリセットできる。ライン47上の信号は擬似ハーフトーン画像の生成開始時に現われる。しかし、これは絶対的な要件ではない。

第3図に示された回路は、第2図に示された比率あるいはフィールドに対して使用するのに適しているだけでなく、任意のオブションのフィールド形状および寸法にも適している。この時はカウンタ40のサイクル持続時間ならびにメモリ34および42の内容、および可能なら比較器32の大きさを適合させるだけでよい。

しかし、第2図に示されたフィールドあるいは一般に2の整数べきに対応する長さの縁を有する正方形に基づくフィールドを、一隅の1個の画素だけを省いてスターティング点として用いる場合には、第3図に示された装置は簡易化できる。第

2図の個々の画像ライン内のスターティングアドレスのシーケンスから明らかなように、このスターティングアドレスは値4だけシフトさせられる。すなわち、スターティングアドレスに対応して、フィールドの縁の長さにわたるだけである。従って、ラインカウンタ44が新しい各画像ラインの前に3個の付加的計数クロックパルスを受信する時、これはカウンタ40の新しいスターティングアドレスを直接示すから、スターティングアドレスメモリ42は省くことができる。しかし、代案として、ラインカウンタ44の第1計数ステージの出力をカウンタ40の第1ステージのセッティング入力に接続することにより何時も4個のユニットを通るシフトが達成される。と言うのは、2進数における2つの位置のシフトは4を乗算することに対応するからである。しかし、本例では厳密に言って乗算が存在せず、常に4つの位置のシフトがあるから、ラインカウンタ44の別の出力は均一なシフトでカウンタ40の入力に接続されず、第4図に示されたような形態をとる。この結果、ラインカウン

タ44のクロック入力に最も近い第1ステージの出力はカウンタ40の第3ステージのロード入力に接続され、ラインカウンタ44の第2ステージの出力は、カウンタ40の第4ステージのロード入力に接続され、ラインカウンタ44の第3出力はカウンタ40の第1ステージのロード入力に接続され、かつラインカウンタ44の第4ステージの出力はカウンタ40の第2ステージのロード入力端子に接続される。この時、もちろん2個のカウンタ40および44は等しいサイクル長、さらに特定すると、第2図に示されたように、15位置(0~14)の計数サイクルを有する必要がある。この結果、アドレッシング装置36は適当なシーケンスでしきい値メモリ34に対する全てのアドレスを生成する。

第3図の回路の別の簡易化は、1ライン上の画素の数が第2図のボックス25によって1サイクルの整数倍プラス1フィールドの縁の長さとする場合に与えられる。この場合は、第2図から明らかなように、ボックス30によって画像ラインが終了した時、適当なスターティングアドレスで正確に

到達するに従って第3のカウンタ40が連続的にカウントできる。この場合、スターティングアドレスメモリ42だけでなく、ラインカウンタ44も第3図に示された装置で余分となる。この簡易化はまたさらに、異なるライン長、すなわち、1ライン当りの画素の数が異なる場合でも、1画素ラインの終了後、新しいラインの開始前に、対応する数の付加的クロック信号がこの条件を満足するために、カウンタ40に加えることができる。

4. 図面の簡単な説明

第1図は、従来技術の説明図、

第2図は、何時も1ラインおよび1コラムだけお互にシフトさせられているいくつかのフィールドの配列を示す説明図、

第3図は、擬似ハーフトーン画像の画素値を生成する装置の回路ブロック図、

第4図は、画素値を生成する簡易化された装置のブロック図である。

20. 22…画像セクション

21…しきい値マトリクス

- | | |
|-------------------|-------------|
| 24, 25…ボックス | 26~29…フィールド |
| 30…ボックス | 31…入力 |
| 32…(2進)比較器 | 33…出力 |
| 34…しきい値メモリ | |
| 35…接続(あるいは入力端子) | |
| 36…アドレッシング装置 | 37…接続 |
| 39…入力 | 40…カウンタ |
| 41…ライン | |
| 42…スターティングアドレスメモリ | |
| 43…接続 | 44…ラインカウンタ |
| 45…接続 | 47…ライン |

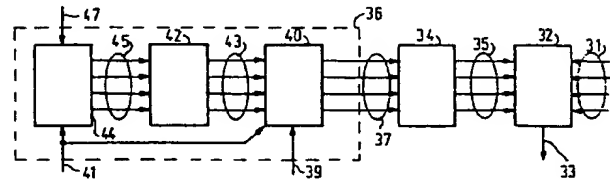


Fig. 3

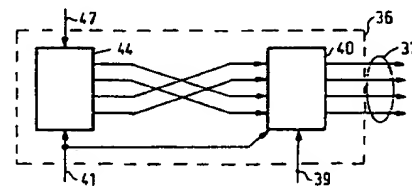


Fig. 4

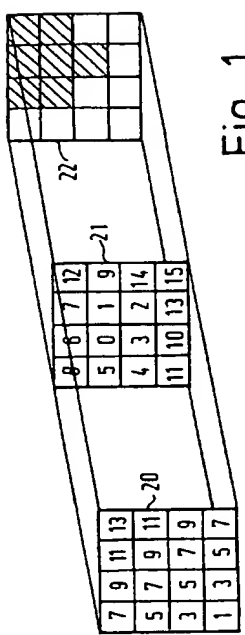


Fig. 1

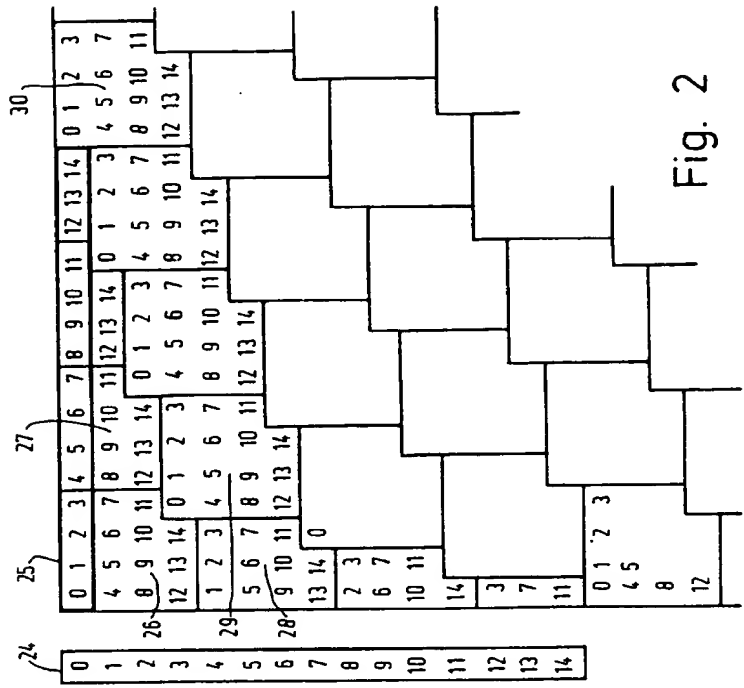


Fig. 2